

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010073762 A

(43)Date of publication of application: 03.08.2001

(21)Application number: 1020000002605

(22)Date of filing: 20.01.2000

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.

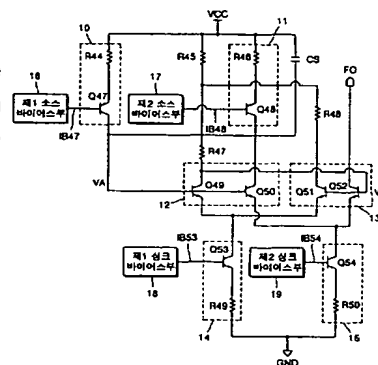
(72)Inventor: KIM, YANG GYUN

(51)Int. Cl. H03B 5/04

(54) VOLTAGE CONTROLLED OSCILLATOR UNAFFECTED BY CHANGE OF TEMPERATURE AND OUTER POWER VOLTAGE

(57) Abstract:

PURPOSE: A voltage controlled oscillator unaffected by change of temperature and outer power voltage is provided to maintain the oscillating frequency regularly even if the outer power voltage and the temperature are changed.



CONSTITUTION: The device includes many portions. The first and second current source portions(10, 11) obtain the current from the outer power voltage(VCC). A charging portion(12) form the first current pass between the outer power voltage(VCC) and the ground voltage(GND) when the power is turned on. A discharging portion(13) forms the second current path between the outer power voltage(VCC) and the ground voltage(GND) when the power is turned on. The first current Sync portion (14) synchronizes the current supplied through the first or second current pass. The second current Sync portion(15) synchronizes the current supplied by the second current source portion(11). The first and second source bias portions (16, 17) bias the first and second current source portions(10, 11) in order that they aren't affected by the outer power voltage and temperature. The first and second Sync bias portions(18, 19) bias the first and second current Sync portions(14, 15) in order that they aren't affected by the outer power voltage and temperature.

COPYRIGHT 2001 KIPO

Legal Status

AL

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. 7  
H03B 5/04

(11) 공개번호 특2001-0073762  
(43) 공개일자 2001년08월03일

(21) 출원번호 10-2000-0002605  
(22) 출원일자 2000년01월20일

(71) 출원인 삼성전자 주식회사  
윤종용  
경기 수원시 팔달구 매탄3동 416

(72) 발명자 김양균  
서울특별시송파구신천동17-6미성아파트3동906호

(74) 대리인 이영필  
정상빈  
곽덕영

심사청구: 없음

(54) 온도 및 외부 전원 전압의 변화에 영향받지 않는 전압제어 발진기

요약

외부 전원 전압 및 온도 변화에 영향을 받지 않는 전압 제어 발진기가 개시된다. 본 발명에 따른 전압 제어 발진기는, 커패시터에 충전된 전하량을 증감시킴으로써 발진한다. 또한, 본 발명에 따른 전압 제어 발진기는 외부 전원 전압으로부터 전하를 공급받는 커패시터, 외부 전원 전압으로부터 전류를 소싱하는 전류 소스부, 커패시터 양단 간의 전압차 및 전류 소스부에 의해 제어되며, 턴온되었을 때 외부 전원 전압 및 접지 전압 사이에 소정의 제 1 전류 패스를 형성하는 충전부, 충전부와 상보적으로 제어되며, 턴온되었을 때 외부 전원 전압 및 접지 전압 사이에 소정의 제 2 전류 패스를 형성하는 방전부, 충전부 및 방전부에 의해 형성되는 제 1 또는 제 2 전류 패스를 통해 공급되는 전류를 싱크하는 전류 싱크부, 및 전류 소스부 및 전류 싱크부를 각각 바이어스하는 소스 바이어스부 및 싱크 바이어스부로 구성된다. 본 발명에 따른 소스 바이어스부 및 싱크 바이어스부는 각각 온도 및 외부 전원 전압의 변화에 무관하게 전류 소스부 및 전류 싱크부를 바이어스한다.

대표도  
도 1

명세서

## 도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 전압 제어 발진기를 나타내는 도면이다.

도 2a 및 도 2b는 도 1에 도시된 전압 제어 발진기의 동작을 설명하기 위한 도면으로써, 도 2a는 본 발명에 의한 전압 제어 발진기의 방전 동작에 관련한 구성 요소들을 나타내는 도면이며, 도 2b는 충전 동작에 관련되는 구성 요소들을 나타내는 도면이다.

도 2c는 도 1에 도시된 전압 제어 발진기의 VA 노드의 전압 파형도이다.

도 3은 도 1에 도시된 전압 제어 발진기의 제 1 소스 바이어스부를 나타내는 도면이다.

도 4는 도 1에 도시된 전압 제어 발진기의 제 2 소스 바이어스부를 나타내는 도면이다.

도 5는 도 4에 도시된 제 2 소스 바이어스부의 밴드 갭 기준 전류 생성부(bandgap reference generator)를 나타내는 도면이다.

도 6은 도 1에 도시된 전압 제어 발진기의 제 1 싱크 바이어스부를 나타내는 도면이다.

도 7은 도 1에 도시된 전압 제어 발진기의 제 2 싱크 바이어스부를 나타내는 도면이다.

도 8은 도 1에 도시된 전압 제어 발진기가 응용된 예를 나타내는 도면이다.

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전자 회로에 관한 것으로서, 특히 온도 및 외부 전원 전압 변화에 영향받지 않는 전압 제어 발진기에 관한 것이다.

종래 기술에 의한 전압 제어 발진기(voltage controlled oscillator) 중 하나는 커패시터 양단에 충전된 전하량이 증감되는 것을 이용하여 발진하는 타입의 전압 제어 발진기이다. 종래 기술에 의한 전압 제어 발진기는 외부 전원 전압이 변화되면 트랜지스터의 콜렉터 및 이미터 간 전압(VCE)이 변화된다. 따라서, 전류 미러의 전달비가 바뀌므로 동일한 입력 전압에도 발진 주파수가 변화된다. 또한, 온도가 변화되면, 트랜지스터의 베이스 및 이미터 간 전압(VBE)이 변화되므로 역시 발진 주파수가 변화된다.

그런데, 발진 주파수가 외부 전원 전압 및 온도 변화에 따라 변화되면, 시스템 특성이 열화되는 요인이 된다. 예를 들어 FM 라디오 튜너에 종래 기술에 의한 전압 제어 발진기가 적용되는 경우, 외부 전원 전압 및 온도의 변화에 의해 전압 제어 발진기의 자주 발진 주파수(free running frequency)가 변화되면, 튜너의 분리 특성이 열화된다.

### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 외부 전원 전압 및 온도가 변화해도 발진 주파수가 일정하게 유지되는 전압 제어 발진기를 제공하는 것이다.

### 발명의 구성 및 작용

상기와 같은 본 발명의 목적을 달성하기 위한 본 발명의 일면은 전압 제어 발진기에 관한 것이다. 본 발명에 따른 전압 제어 발진기는 외부 전원 전압으로부터 전하를 공급받는 커패시터, 외부 전원 전압으로부터 전류를 소싱하는 전류 소스부, 커패시터 양단 간의 전압차 및 상기 전류 소스부에 의해 제어되며, 턴온되었을 때 외부 전원 전압 및 접지 전압 사이에 소정의 제 1 전류 패스를 형성하는 충전부, 충전부와 상보적으로 제어되며, 턴온되었을 때 외부 전원 전압 및 접지 전압 사이에 소정의 제 2 전류 패스를 형성하는 방전부, 방전부 및 충전부에 의해 형성되는 제 1 또는 제 2 전류 패스를 통해 공급되는 전류를 싱크하는 전류 싱크부, 및 전류 소스부 및 전류 싱크부를, 외부 전원 전압 및 온도에 영향받지 않도록 각각 바이어스하는 소스 바이어스부 및 싱크 바이어스부로 구성된다.

본 발명에 의한 전압 제어 발진기에 의하여, 외부 전원 전압 및 온도 변화에도 전압 제어 발진기의 발진 주파수가 일정하게 유지된다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

도 1은 본 발명에 따른 전압 제어 발진기를 개념적으로 나타내는 도면이다.

바람직한 실시예에 따른 전압 제어 발진기는, 외부 전원 전압(VCC)으로부터 전하를 공급받는 커패시터(CS), 제 1 및 제 2 전류 소스부(10, 11), 충전부(12), 방전부(13), 제 1 및 제 2 전류 싱크부(14, 15), 제 1 및 제 2 소스 바이어스부(16, 17) 및 제 1 및 제 2 싱크 바이어스부(18, 19)로 구성된다. 제 1 및 제 2 전류 소스부(10, 11)는 외부 전원 전압(VCC)으로부터 전류를 소싱한다. 충전부(12)는 커패시터(CS) 양단 간의 전압차 및 제 1 및 제 2 전류 소스부(10, 11)에 의해 제어되며, 턴온되었을 때 외부 전원 전압(VCC) 및 접지 전압(GND) 사이에 제 1 전류 패스를 형성한다. 방전부(13)는 충전부(12)와 상보적으로 제어되며, 턴온되었을 때 외부 전원 전압(VCC) 및 접지 전압(GND) 사이에 제 2 전류 패스를 형성한다. 제 1 전류 싱크부(14)는 제 1 또는 제 2 전류 패스를 통해 공급되는 전류를 싱크하며, 제 2 전류 싱크부(15)는 제 2 전류 소스부(11)에 의해 공급되는 전류를 싱크한다. 또한, 제 1 및 제 2 소스 바이어스부(16, 17)는 제 1 및 제 2 전류 소스부(10, 11)를 외부 전원 전압(VCC) 및 온도에 영향받지 않도록 각각 바이어스하고, 제 1 및 제 2 싱크 바이어스부(18, 19)는 제 1 및 제 2 전류 싱크부(14, 15)를 외부 전원 전압 및 온도에 영향받지 않도록 각각 바이어스한다.

또한, 충전부(12)는 제 1 충전 트랜지스터(Q49) 및 제 2 충전 트랜지스터(Q50)로 구성된다. 제 1 충전 트랜지스터(Q49)는 베이스 전압(VA)이 제 1 전류 소스부(10)에 의해 바이어스되며, 제 1 전류 패스에 의해 공급되는 전류를 콜렉터로 인가받아 이미터를 통하여 제 1 전류 싱크부(14)로 출력한다. 제 2 충전 트랜지스터(Q50)는 제 1 전류 소스부(10)에 의해 베이스 전압(VA)이 바이어스되며, 제 2 전류 소스부(11)에 의해 공급되는 전류를 콜렉터에 인가받아 이미터를 통하여 제 2 전류 싱크부(15)로 출력한다. 그리고, 방전부(13)는 제 1 방전 트랜지스터(Q51) 및 제 2 방전 트랜지스터(Q52)로 구성된다. 제 1 방전 트랜지스터(Q51)는 베이스 전압(VB)은 제 1 충전 트랜지스터(Q49)의 콜렉터 전압에 의해 바이어스되고, 제 2 전류 패스에 의해 공급되는 전류를 콜렉터에 인가받아 이미터를 통하여 제 1 전류 싱크부(14)로 출력하고, 제 2 방전 트랜지스터(Q52)는 제 1 충전 트랜지스터(Q49)의 콜렉터 전압에 의해 바이어스되고, 콜렉터 전압을 전압 제어 발진기의 출력(FO)으로 발생한다. 본 명세서에서는, 설명의 편의를 위하여 제 n 트랜지스터의 베이스에 흐르는 전류는  $I_{Bn}$ 으로, 콜렉터에서 이미터로(또는 그 반대 방향으로) 흐르는 전류는  $I_{Qn}$ 으로, 저항  $R_n$ 에 흐르는 전류는  $I_{Rn}$ 으로 표기한다. 또한, 커패시터에 충전된 전하량이 감소하는 현상을 '방전'이라 칭하고, 충전된 전하량이 증가하는 현상을 '충전'이라 칭한다.

도 1에 나타난 바와 같이, 충전부(12)를 구성하는 제 1 및 제 2 충전 트랜지스터들(Q49, Q50) 각각의 베이스 전압은 VA이며 방전부(13)를 구성하는 제 1 및 제 2 방전 트랜지스터들(Q51, Q52) 각각의 베이스 전압은 VB이다. 그러므로, VA 및 VB 전압의 크기에 따라서, 충전부(12) 및 방전부(13)는 차동 형태(differential type)로 제어된다. 또한, 제 1 및 제 2 전류 소스부(10, 11)는 커패시터(CS)에 충전된 전하량을 감소시키는 역할을 하고, 제 2 충전 트랜지스터(Q50)의 콜렉터에 흐르는 전류(IQ50)는 커패시터에 충전된 전하량을 증가시키는 역할을 한다.

이하, 도 1에 도시된 전압 제어 발진기의 동작을 방전 동작 및 충전 동작으로 나누어서 상세히 설명한다.

도 2a 및 도 2b는 도 1에 도시된 전압 제어 발진기의 동작을 설명하기 위한 도면으로써, 도 2a는 본 발명에 의한 전압 제어 발진기의 방전 동작을 나타내는 도면이며, 도 2b는 충전 동작을 나타내는 도면이다.

초기에, 제 1 및 제 2 충전 트랜지스터들(Q49, Q50)의 베이스 전압(VA)이 제 1 및 제 2 방전 트랜지스터들(Q51, Q52)의 베이스 전압(VB)보다 낮으면 충전 트랜지스터들(Q49, Q50)은 턴오프되고 방전 트랜지스터들(Q51, Q52)은 턴온된다. 그러면, 제 1 저항(R45)을 지난 전류는 제 2 저항(R48) 및 제 3 저항(R47)으로 흐른다. 그런데, 제 3 저항(R47)을 통해 흐르는 전류(IR47)는 제 1 방전 트랜지스터(Q51)의 베이스에 흘러 들어가는데, 그 크기는 제 2 저항(R48)을 통해 제 1 방전 트랜지스터(Q51)의 이미터로 흘러 들어가는 전류(IR48)보다 훨씬 작은 값이다. 이 때, 방전부(13)를 바이어스하는 전압(VBH)을 구하면  $VBH = VCC - (R45 \times IR45 + R47 \times IR47)$  이 된다. 그런데, 전술한 바와 같이,  $IR47 \ll IR48$ 이고,  $IR48 \approx IQ53$  이므로 방전부(13)를 바이어스하는 전압(VBH)은 다음 수학식 1과 같이 간략화된다.

수학식 1

$$VBH = VCC - (R45 \times IQ53)$$

정리하면, 커패시터(CS)에 충전된 전하량이 감소할 경우(방전시) 전원 전압(VCC) 및 접지 전압(GND) 사이에는 제 1 전류 패스(R45 → R48 → Q51 → Q53)가 형성된다. 이 경우, 제 1 방전 트랜지스터(Q51)가 턴온되어 있으므로 커패시터(CS)에 충전된 전하는 제 1 및 제 2 소스 바이어스부(10, 11)를 통해 방출된다. 그러므로, 충전부(12)를 바이어스하는 전압(VA)은 상승한다.

VA가 계속 상승하여 수학식 1의 VBH보다 높아지면, 제 1 및 제 2 충전 트랜지스터(Q49, Q50)는 턴온되고 제 1 및 제 2 방전 트랜지스터(Q51, Q52)는 턴오프된다. 이 경우의 동작은 도 2b에 의해 자세히 설명된다.

제 2 전류 소스부(11)에서 소싱하는 전류(IQ50)는 커패시터(CS)에 충전된 전하량이 증가하도록 하기 위하여  $IQ47 + IQ48 < IQ50$  의 조건이 만족되도록 설정된다. 그러면, 커패시터(CS)에 충전된 전하량은 증가된다. 그러므로, VA의 전위는 다시 낮아진다. 이 때, 제 1 저항(R45)을 지나서 전류(IR45)는 제 3 저항(R47)을 통해 제 1 충전 트랜지스터(Q49)의 콜렉터로 흘러 들어간다. 즉, 전원 전압(VCC) 및 접지 전압(GND) 사이에 제 2 전류 패스(R45 → R47 → Q49 → Q53)가 형성된다. 따라서, VB의 전위 VBL을 구하면  $VBL = VCC - (R45 \times IR45 + R47 \times IR47)$  이 되는데, 제 1 충전 트랜지스터(49)의 베이스 전류(IB49)는 콜렉터 전류(IR47)보다 훨씬 작으므로, VBL은 다음 수학식 2로 간략화된다.

수학식 2

$$VBL = VCC - (IQ53 \times (R45 + R47))$$

VA의 전위가 낮아져서 수학식 2의 VBL과 같아지면, 충전부(12)는 다시 턴오프되고 방전부(13)가 턴온된다. 본 발명에 따른 전압 제어 발진기는 이와 같은 동작을 반복하면서 발진한다.

도 2c는 도 1에 도시된 전압 제어 발진기의 VA 노드의 전압 파형도이다.

본 발명에 의한 전압 제어 발진기는 커패시터(CS)를 충전하는 전류 IQ47, IQ48, IQ50의 크기 및 VA의 전압차인  $\Delta V = V_{BH} - V_{BL} - I_{Q53} \times R_{47}$ 에 의해 결정된다. 도 2c에서 발진 주파수는 전체 주기(T)의 역수인  $1/T$ 이며, 전체 주기 T는 VA 전압 상승 구간 T1 및 하강 구간 T2의 합이다. 각 구간의 주기에 대해 자세히 설명하면, 상승 구간 T1은 커패시터(CS)를 충전하는 정전류(IQ50)가 0인 상태에서 제 1 및 제 2 전류 소스부(10, 11)에 의해 커패시터(CS)가 방전되는 구간이다(도 2a 참조). 커패시터(CS)는 일정한 전류에 의해 방전되므로  $\Delta V = \frac{1}{C} \times I \times T$ 이다. 따라서 T1은 다음 수학식 3이 된다.

수학식 3

$$T1 = \frac{CS \times \Delta V}{I} = \frac{CS \times \Delta V}{I_{Q47} + I_{Q48}} = \frac{CS \times (I_{Q53} \times R_{47})}{I_{Q47} + I_{Q48}}$$

VA의 전위가 하강하는 구간인 T2에서 커패시터(CS)를 충전하는 전류는  $I_{Q50} - (I_{Q47} + I_{Q48})$ 이다. 따라서, T2는 다음 수학식 4가 된다.

수학식 4

$$T2 = \frac{CS \times \Delta V}{I} = \frac{CS \times \Delta V}{I_{Q50} - I_{Q47} - I_{Q48}} = \frac{CS \times (I_{Q53} \times R_{47})}{I_{Q50} - I_{Q47} - I_{Q48}}$$

그러므로, 수학식 3 및 수학식 4를 참조하여 발진 주파수를 구하면 다음 수학식 5와 같다.

수학식 5

$$\begin{aligned} f &= \frac{1}{T} = \frac{1}{T1 + T2} \\ &= \frac{1}{\frac{CS \times I_{Q53} \times R_{47}}{I_{Q47} + I_{Q48}} + \frac{CS \times I_{Q53} \times R_{47}}{I_{Q50} - I_{Q47} - I_{Q48}}} \\ &= \frac{1}{\frac{CS \times I_{Q53} \times I_{Q50} \times R_{47}}{(I_{Q47} + I_{Q48}) \times (I_{Q50} - I_{Q47} - I_{Q48})}} \\ &= \frac{(I_{Q47} + I_{Q48}) \times (I_{Q50} - I_{Q47} - I_{Q48})}{CS \times I_{Q53} \times I_{Q50} \times R_{47}} \end{aligned}$$

수학식 5를 분석하면, 전압 제어 발진기의 발진 주파수(f)는 제 1 및 제 2 소스 바이어스 전류(IB47, IB48) 및 제 1 및 제 2 싱크 바이어스 전류(IB53, IB54)에 따라서 결정된다. 또한, [수학식 5]에서 알 수 있듯이, 제 1 소스 바이어스 전류(IB47)가 변화하면 제 1 전류 소스부(10)에서 소싱하는 전류(IQ47)의 크기도 변화하므로 발진 주파수(f)가 변화된다. 따라서, 전압 제어 발진기의 발진 주파수(f)가 외부 전압 및 온도 변화에 영향받지 않으려면, 바이어스 전류들(IB47, IB48, IB53, IB54)을 외부 전압 및 온도 변화에 영향받지 않도록 설계해야 한다.

도 3은 도 1에 도시된 전압 제어 발진기의 제 1 소스 바이어스부의 일 실시예를 나타내는 도면이다.

도 3에 도시된 제 1 소스 바이어스부(16)는, 소정의 전류를 발생하는 소스 전류 생성부(31), 소스 전류 생성부(31)에서 발생된 전류를 인가받아 동일한 전류를 생성하는 소스 전류 미러(33), 소스 전류 미러(33)에서 반복되는 전류를 소스 전류 생성부(31)에 부재환하는 부재환부(35) 및 소정의 설정 전압(VSET) 및 입력 전압(VI)의 차에 의해 소스 전류 미러(33)에 의해 반복된 전류의 크기를 조절하여 제 1 전류 소스부를 바이어스하는 조절부(37)로 구성된다.

소스 전류 생성부(31)는 제 1 소스 바이어스부를 바이어스하기 적당한 전류(IQ31)를 생성하여 소스 전류 미러(33)를 구성하는 트랜지스터(Q30)로 출력한다. 제 30 트랜지스터는 인가된 전류(IQ31)를 반복하여 트랜지스터(Q29) 및 트랜지스터(Q46)의 콜렉터 및 이미터간 전류(IQ29, IQ46)를 결정한다. 트랜지스터(Q46)는 입력 전압 조절부(37)의 전류를 싱크하는 역할을 한다. 외부 전원 전압(VCC)이 상승하면 트랜지스터(Q31)의 이미터 및 콜렉터 간 전압(VCE31)이 커지므로 트랜지스터(Q31)를 통과하는 전류(IQ31)도 커진다. 반면, 트랜지스터(Q32)의 이미터 및 콜렉터 간 전압(VCE32)은 고정되어 있으므로 일정하다. 트랜지스터(Q31)의 전류(IQ31)는 소스 전류 미러(33)의 트랜지스터(Q30)에 의해 트랜지스터(Q29) 및 트랜지스터(Q46)에 전달된다. 따라서, 트랜지스터(Q29)의 전류(IQ29) 역시 증가하므로 부재환부(35)의 트랜지스터(Q28)를 통해 흐르는 전류(IQ28)도 증가한다. 그런데, 정전류 소스(I25)에 의하여 공급되는 전류는 일정하므로 저항(R29)을 통해 흐르는 전류(IR29) 중 저항(R28)에 전달되는 전류(IR28)를 감소시키므로 트랜지스터(Q31)를 통과하는 전류(IQ31)는 감소된다.

반대의 경우, 외부 전원 전압(VCC)이 하강하면 트랜지스터(Q31)를 통과하는 전류(IQ31)가 작아지므로 트랜지스터(Q31)의 전류(IQ31)는 트랜지스터(Q30)에 의해 트랜지스터(Q29) 및 트랜지스터(Q46)에 전달된다. 따라서, 트랜지스터(Q29)의 전류(IQ29) 역시 감소하므로 트랜지스터(Q28)를 통해 흐르는 전류(IQ28)도 감소한다. 또한, 정전류 소스(I25)에 의하여 공급되는 전류는 일정하므로 저항(R29)을 통해 흐르는 전류(IR29) 중 저항(R28)에 전달되는 전류(IR28)가 증가된다. 따라서, 트랜지스터(Q31)를 통과하는 전류(IQ31)는 증가된다. 결과적으로, 외부 전원 전압(VCC)이 상승 또는 하강하더라도 소스 전류 생성부(31)에서 생성하는 전류(IB31)는 일정하게 유지된다.

온도가 상승하는 경우에는 트랜지스터(Q33)의 베이스 및 이미터 간 전압(VBE33)이 감소하므로 트랜지스터(Q31)의 전류(IQ31)도 감소한다. 따라서, 트랜지스터(Q29)의 전류(IQ29)가 감소하므로 트랜지스터(Q28)의 전류(IQ28)가 감소한다. 그리하여, 제 29 저항(R29)을 흐르는 전류(IR29) 중 저항(R28)을 통해 흐르는 전류(IR28)가 증가하므로 트랜지스터(Q31)의 전류(IQ31)는 증가된다. 온도가 하강하는 경우에는, VBE33이 증가하므로 IQ31도 증가한다. 그러므로 IQ29가 증가하므로 전류(IQ28)가 증가한다. 따라서, 저항(R29)을 흐르는 전류(IR29) 중 저항(R28)을 통해 흐르는 전류(IR28)가 감소하므로 트랜지스터(Q31)의 전류(IQ31)는 감소된다. 이와 같이, 도 3에 도시된 제 1 소스 바이어스부(16)의 소스 전류 생성부(31)는 온도 및 외부 전원 전압(VCC)이 변해도 일정한 전류(IQ31)를 출력한다.

입력 전압 조절부(37)는 소정의 설정 전압(VSET) 및 입력 전압(VI)에 의해 각각 바이어스되는 트랜지스터들(Q44, Q45) 및 트랜지스터들(Q44, Q45)의 콜렉터 전압에 의해 각각 바이어스되며 각각의 이미터는 공통 연결된 피모스 트랜지스터들(Q42, Q43), 피모스 트랜지스터들(Q42, Q43) 각각의 이미터 및 외부 전원 전압(VCC) 사이에 연결된 저항들(R39, R40), 및 트랜지스터들(Q44, Q45) 각각의 콜렉터 및 트랜지스터들(Q42, Q43)의 각각의 콜렉터 사이에 연결된 저항들(R41, R42)로 구성된다. 입력 전압 조절부(37)가 대칭성을 갖도록 하기 위하여 저항(R39, R40)은 같은 값을 가지며, 저항(R41, R42)도 같은 값을 갖는 것이 바람직하다.

입력 전압(VI) 및 설정 전압(VSET)이 같은 값을 가지면, 입력 전압 조절부(37)의 좌측 경로(R39-> Q42-> R41-> Q44)와 우측 경로(R40-> Q43-> R42-> Q45)를 통해 흐르는 전류는 같다. 입력 전압(VI)이 소정의 설정 전압(VSET)보다 크면, 트랜지스터(Q44)의 전류(IQ44)가 트랜지스터(Q45)의 전류(IQ45)보다 커진다. 따라서, 입력 전압 조절부(37)의 좌측 경로(R39-> Q42-> R41-> Q44)를 통해 흐르는 전류량이 우측 경로(R40-> Q43-> R42-> Q45)를 통해 흐르는 전류량보다 커진다. 그러므로 트랜지스터(Q43)의 베이스 전류(IB47)는 작아진다. 반대로, 입력 전압(VI)이 소정의 설정 전압(VSET)보다 작으면, 트랜지스터(Q44)의 전류(IQ44)가 트랜지스터(Q45)의 전류(IQ45)보다 작아진다. 따라서, 입력 전압 조절부(37)의 좌측 경로(R39-> Q42-> R41-> Q44)를 통해 흐르는 전류량이 우측 경로(R40-> Q43-> R42-> Q45)를 통해 흐

르는 전류량보다 커지므로 트랜지스터(Q43)의 베이스 전류(IB47)는 커진다. 따라서, 트랜지스터(Q43)의 베이스 전류(IB47)에 의해 바이어스되는 제 1 전류 소스부(10, 도 1 참조)에서 소싱하는 전류량(IQ47, 도 1 참조)이 조절된다. 설정 전압(VSET)은 입력 전압(VI)을 고려하여 제 1 전류 소스부(10, 도 1 참조)를 바이어스하는 전류(IB47)가 적당한 값을 갖도록 설정된다.

결국, 도 3에 도시된 제 1 소스 바이어스부(16)는 소스 전류 생성부(31)에서 생성된 전류(IQ31)를 소스 전류 미러(33)에서 반복하여 입력 전압 조절부(37)에서 공급하는 전류를 싱크한다. 이 때, 소스 전류 생성부(31)에서 생성된 전류(IQ31)는 부궤환부(35)에 의하여 다시 소스 전류 생성부(31)에 부궤환되므로 온도 및 전압 변화에 영향받지 않고 안정된다. 따라서, 입력 전압 조절부(37)의 출력 전류(IB47) 역시 온도 및 전압 변화에 영향받지 않고 안정된다. 입력 전압 조절부(37)의 출력 전류(IB47)는 입력 전압(VI) 및 설정 전압(VSET)의 차에 의하여 영향받는다.

도 4는 도 1에 도시된 전압 제어 발진기의 제 2 소스 바이어스부(17)의 일 실시예를 나타내는 도면이다.

도 4에 도시된 제 2 소스 바이어스부(17)는 밴드 갭 기준 전류 생성부(41), 기준 전류 미러(43), 고정 전압 생성부(45), 안정 전류 미러(47), 및 월슨 전류 미러(49)로 구성된다.

밴드 갭 기준 전류 생성부(41)는 온도의 변화에 영향받지 않는 기준 전류(IBG)를 생성하여 기준 전류 미러(43)의 트랜지스터(Q1)의 콜렉터 전류로 인가한다. 이 전류는 기준 전류 미러(43)에서 반복되어 안정 전류 미러(47)의 트랜지스터(Q7)의 콜렉터 전류(IQ7)를 발생한다. 그런데, 고정 전압 생성부(45)의 구성을 살펴보면, 이는 트랜지스터(Q13)의 콜렉터 및 베이스 간에는 제 10 저항(R10)이 연결되고, 베이스 및 이미터 간에는 저항(R11)이 연결된다.

트랜지스터(Q13)의 콜렉터 및 이미터 간 전압(VCE13)을 구하면  $VCE13 = VBE13 + R10 \times (IR12 - IB10 - \beta \cdot IB13)$  이다. 여기서  $\beta$  는 트랜지스터(Q13)의 전류 증폭도이다. 그런데,  $IR12 - IB10 - \beta \cdot IB13 = \frac{VBE13}{R11} + IB13$  이므로, R11을 충분히 작게 설계하면  $\frac{VBE13}{R11} \gg IB13$  이 되어 VCE13은 다음 수학식 6과 같이 된다.

수학식 6

$$VCE13 = \left(1 + \frac{R10}{R11}\right) VBE13$$

수학식 6에서 알 수 있듯이, 트랜지스터(Q13)의 콜렉터 및 이미터 간 전압(VCE13)은 저항들(R10, R11)의 저항값의 비(R10/R11)에만 영향받으므로, 온도 및 외부 전원 전압의 변화에 무관하게 고정된다. 따라서, 트랜지스터(Q10)의 베이스 전압은 VCE13으로 고정되므로, 트랜지스터(Q9)의 베이스 전압도 고정된다. 그러므로, 외부 전원 전압(VCC) 및 온도가 변화해도 기준 전류 미러(43)는 기준 전류 생성부(41)에서 발생한 전류(IBG)를 반복한다.

밴드 갭 기준 전류 생성부(41)의 출력 전류(IBG)를 반복한 트랜지스터(Q2)의 전류(IQ2)가 외부 전원 전압(VCC) 및 온도 변화에 영향받지 않으므로, 안정 전류 미러(47)는 외부 전원 전압(VCC) 및 온도 변화에 영향받지 않는 전류를 트랜지스터(Q35)로 반복한다. 트랜지스터(Q35)의 전류(IQ35)는 다시 월슨 전류 미러(49)에 인가된다. 그런데, 월슨 전류 미러(49)의 전류 증폭도 IWS는 트랜지스터(Q35)의 전류(IQ35) 및 트랜지스터(Q36)의 전류(IQ36)의 비  $IQ35/IQ36$ 로 정의되고, 그 값은  $IWS = \frac{IQ35}{IQ36} = \frac{1}{\beta} \frac{1 + \beta}{1 + \beta/2}$  이다. 여기서  $\beta$  는 트랜지스터들(Q36, Q37, Q38) 각각의 전류 증폭도로서 세 트랜지스터들(Q36, Q37, Q38)의 전류 증폭도는 같은 값을 갖는다. 그런데, 온도 및 외부 전원 전압(VCC)이 변하면, 세 트랜지스터들(Q36, Q37, Q38) 각각의 전류 증폭도  $\beta$  가 변한다. 따라서, 월슨 전류 미러(49) 전체의 전류 증폭도의  $\beta$  에 대한 민감도  $S_{\beta}^{IWS}$ 는 다음 수학식 7과 같다.



수학식 7

$$S_p^{rws} = \frac{\frac{\Delta IWS}{IWS}}{\frac{\Delta \beta}{\beta}} = \frac{4\beta(\beta+1)}{(\beta^2+2\beta)(\beta^2+2\beta+2)}$$

수학식 7에서 알 수 있듯이, 민감도  $S_p^{rws}$ 의 분자의 최고차항의 지수는 2차인데 반해, 분모는 4차이고, 통상적인 트랜지스터의 증폭도  $\beta$ 는 수 백의 값을 가지므로, 민감도  $S_p^{rws}$ 는 거의 0에 가까운 값이 된다. 따라서, 윌슨 전류 미러(49)에 전달된 안정 전류 미러(47)의 출력(IQ35)은 외부 전원 전압(VCC) 및 온도에 무관하게 트랜지스터(Q39)로 전달된다. 그러므로, 트랜지스터(Q39)의 베이스 전류(IB48)도 외부 전원 전압(VCC) 및 온도에 무관하게 제 2 전류 소스부(11, 도 1 참조)를 바이어스한다.

또한, 제 2 전류 소스부(11, 도 1 참조)의 트랜지스터(Q48)의 컬렉터 전위는 외부 전원 전압(VCC)에 연동하여 결정되므로 외부 전원 전압(VCC)이 변하더라도 일정하게 유지된다. 따라서, 트랜지스터(Q39)의 베이스 전류(IB48)는 외부 전원 전압(VCC)에 영향받지 않고 트랜지스터(Q48)로 전달된다.

도 5는 도 4에 도시된 제 2 소스 바이어스부의 밴드 갭 기준 전류 생성부(bandgap reference generator)의 일 실시 예를 나타내는 도면이다. 도 5에 도시된 밴드 갭 기준 전류 생성부는, 베이스가 공통 연결된 제 1 및 제 2 기준 트랜지스터들(QR1, QR2), 제 2 기준 트랜지스터(QR2)의 컬렉터에 베이스가 연결된 제 3 기준 트랜지스터(QR3), 외부 전원 전압(VCC) 및 제 1 기준 트랜지스터(QR1)의 컬렉터 사이에 연결된 제 1 저항, 제 2 트랜지스터의 컬렉터 및 외부 전원 전압(VCC) 사이에 연결된 제 2 저항(RR2), 이미터 및 접지 전압(GND) 사이에 연결된 제 3 저항(RR3), 및 제 3 기준 트랜지스터(QR3)의 컬렉터 및 이미터 사이에 연결된 출력 저항(RBG)으로 구성된다. 도 5에 도시된 밴드 갭 기준 전류 생성부(41)의 기본 개념은 온도가 상승하면 감소하는 요소인 트랜지스터의 문턱 전압과 증가하는 저항값을 조합하여 회로가 온도에 영향받지 않도록 하는 것이다.

출력 저항(RBG) 양단의 전압(VBG)은 제 3 기준 트랜지스터(QR3)의 베이스 및 이미터 간 전압(VBE3) 및 제 2 저항(RR2)의 양단에 나타나는 전압의 합이다. 그런데, 제 1 및 제 2 기준 트랜지스터(QR1, QR2) 각각의 컬렉터 전류는 각각  $I_{S1} \exp(\frac{V_{BE1}}{V_T})$ ,  $I_{S2} \exp(\frac{V_{BE2}}{V_T})$  이다. 여기서  $I_{S1}$  및  $I_{S2}$ 는 제 1 및 제 2 기준 트랜지스터(QR1, QR2) 각각의 포화 전류(saturation current)이다. 그러면, 제 3 저항(RR3) 양단 간의 전압(VR3)은 제 1 기준 트랜지스터(QR1)의 베이스 및 이미터 양단 간의 전압(VBE1) 및 제 2 기준 트랜지스터(QR2)의 베이스 및 이미터 양단 간의 전압(VBE2)의 차에 해당하므로,  $VR3 = V_{BE1} - V_{BE2} = V_T \ln(\frac{I_{C1}}{I_{C2}} \cdot \frac{I_{S2}}{I_{S1}})$  이다. 여기서, 제 1 내지 제 3 기준 트랜지스터들(QR1, QR2, QR3) 각각의 전류 증폭도  $\beta$ 가 충분히 커서 각각의 베이스 전류를 무시할 수 있다면, 제 2 기준 트랜지스터(QR2)의 컬렉터에 흘러 들어가는 전류는 이미터에서 흘러나가는 전류와 같은 값을 갖는다. 따라서, 출력 저항(RBG) 양단의 전압은 다음 수학식 8과 같다.

수학식 8

$$\begin{aligned} VRBG &= VBE3 + VR2 \\ &= VBE3 + \frac{RR2}{RR3} V_T \ln(\frac{I_{C1} \cdot I_{S2}}{I_{C2} \cdot I_{S1}}) = VBE3 + m V_T \end{aligned}$$

수학식 8에서, 온도가 증가하면, VBE3은 감소하고, VT는 증가하므로 온도 변화에 대한 영향이 최소화된다.

또한, 도 5에 도시된 밴드 갭 기준 전류 생성부(41)의 외부 전원 전압(VCC)을 전압 안정화 회로(voltage regulator)를 이용하여 설계하면, 외부 전원 전압(VCC)이 변화되지 않고 안정화된다. 따라서, 밴드 갭 기준 전류 생성부(41)의 출력 전류(IBG)는 온도 및 전원 전압의 변화에 무관하게 결정된다.

도 6은 도 1에 도시된 전압 제어 발진기의 제 1 싱크 바이어스부의 일 실시예를 나타내는 도면이다.

도 6에 도시된 제 1 싱크 바이어스부(18)는, 소정의 정전압(VR)을 인가받아 반복시키는 전압 반복부(61), 전압 반복부(61)에서 반복된 소정의 정전압(VR)을 인가받아 전류를 발생시키는 싱크 전류 발생부(63) 및 싱크 전류 발생부(63)에서 발생된 전류를 반복하여 제 1 전류 싱크부(14, 도 1 참조)를 바이어스하는 싱크 전류 미러(65)로 구성된다.

소정의 정전압(VR)은 전압 반복부(61)의 트랜지스터(Q16)의 베이스에 인가된다. 전압 반복부(61)가 대칭이 되도록 저항들(R13, R14)의 저항값을 같게 되도록 설계하면, 인가된 정전압(VR)은 트랜지스터(Q17)의 베이스에 반복된다. 트랜지스터(Q17)의 이미터 전압이 인가된 정전압(VR)과 같게 되므로 저항을 통해 흐르는 전류(IR18)는 VR/R18이 된다. 마찬가지로 트랜지스터의 베이스에 흐르는 전류를 무시하면 트랜지스터(Q19)를 통해 흐르는 전류(IQ19)도 VR/R18이 된다.

그런데, 트랜지스터(Q20)는 트랜지스터(Q19)와 동일한 베이스 전압에 의해 바이어스되므로 트랜지스터(Q20)의 전류(IQ20)도 VR/R18이 된다. 이 전류(IQ20)가 싱크 전류 미러(65)의 트랜지스터(Q21)에 의하여 반복되어 제 1 전류 싱크부(14, 도 1 참조)를 바이어스한다. 이 때, 인가된 정전압(VR)이 외부 전원 전압(VCC) 및 온도가 변하여도 변하지 않으므로 IQ19도 일정하고 IQ20도 일정하게 고정된다. 그러므로 제 1 전류 싱크부(14, 도 1 참조)는 일정한 정전류(IB53)에 의해 바이어스된다.

도 7은 도 1에 도시된 전압 제어 발진기의 제 2 싱크 바이어스부의 일 실시예를 나타내는 도면이다.

도 7에 도시된 제 2 싱크 바이어스부(19)는, 소정의 전류를 발생시키는 싱크 전류 생성부(71), 싱크 전류 생성부(71)에서 발생된 전류를 인가받아 동일한 전류를 생성하는 싱크 전류 미러(73) 및 싱크 전류 미러(73)에서 반복되는 전류를 싱크 전류 생성부(71)에 부채환하는 부채환부(75)로 구성된다. 싱크 전류 미러(73)를 구성하는 트랜지스터들(Q69, Q70)이 전류 미러로 동작하도록 하기 위하여 각각의 이미터에 연결된 저항들(R66, R67)은 같은 값을 갖도록 설계된다.

도 7에 도시된 제 2 싱크 바이어스부(19)의 구성 및 동작은 도 3에 도시된 제 1 소스 바이어스부(16)의 그것과 동일하다. 따라서, 설명의 간략화를 위해서 본 명세서에서는 상세한 설명이 생략된다.

도 3에서 설명된 바와 같이, 도 7에 도시된 제 2 싱크 바이어스부(19)의 싱크 전류 생성부(71)는 온도 및 외부 전원 전압(VCC)이 변해도 일정한 전류(IQ71)를 출력한다. 그러면, 출력된 전류(IQ71)는 싱크 전류 미러(73)를 구성하는 트랜지스터(Q70)에 의하여 반복되어 제 2 전류 싱크부(15, 도 1 참조)를 바이어스한다. 제 2 전류 싱크부(15, 도 1 참조)는 일정한 정전류(IB54)에 의하여 바이어스되므로, 온도 및 외부 전원 전압(VCC)이 변해도 일정한 전류를 싱크한다.

도 8은 도 1에 도시된 전압 제어 발진기의 일 실시예를 나타내는 도면이다.

도 8에 도시된 본 발명에 의한 전압 제어 발진기는, 도 1에 도시된 전압 제어 발진기에 도 3 내지 도 7에 도시된 제 1 및 제 2 소스 바이어스부(16, 17) 및 제 1 및 제 2 싱크 바이어스부(18, 19)를 결합하여 도시한 것이다. 도 8에 도시된 전압 제어 발진기의 각 구성 요소의 동작에 대해서는 도 1 내지 도 7에서 상세히 설명되었으므로 중복을 피하기 위하여 그 설명이 생략된다. 도 8에 도시된 구성요소 중 도 1 내지 도 7에서 설명되지 않은 구성요소들은, 본 발명에 따른

전압 제어 발진기가 동작하도록 하기 위하여 첨부된 것들로서, 각 소자의 값들은 생략된다.

표 1은 본 발명에 따른 전압 제어 발진기의 실험 결과를 나타낸다. 온도는 섭씨 -25도 내지 +75도까지 25도 간격으로 변화되었고, 외부 전원 전압(VCC)은 1.9V, 3.0V, 및 10.0V로 변화되었다.

[표 1]

	VCC="1.9V	VCC="3.0V	VCC="10.0V
T="-25°	305.4KHz	306.1KHz	306.1KHz
T="0°	305.4KHz	305.4KHz	304.0KHz
T="25°	305.4KHz	304.8KHz	303.4KHz
T="50°	305.4KHz	304.8KHz	303.4KHz
T="75°	306.8KHz	306.1KHz	303.4KHz

표 1에서 알 수 있듯이, 외부 전원 전압(VCC) 및 온도가 심하게 변해도, 발진 주파수는 거의 일정하게 유지된다.

본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.

예를 들면, 본 발명의 전압 제어 발진기는 방전부(13)의 제 2 방전 트랜지스터(Q52)의 콜렉터 전압(FO)을 출력으로 한다. 이 경우 제 2 방전 트랜지스터(Q52)는 콜렉터가 개방된 형태로 사용될 수 있으며, 출력 전압(FO)의 파형은 구형파가 된다. 하지만, 전압 제어 발진기의 출력은 반드시 제 2 방전 트랜지스터(Q52)의 콜렉터 전압이어야 하는 것은 아니며, 제 1 충전 트랜지스터(Q49)의 베이스 전압(VA)도 출력으로 사용될 수 있다.

뿐만 아니라, 본 발명에 의한 제 1 및 제 2 소스 바이어스부(16, 17) 및 제 1 및 제 2 싱크 바이어스부(18, 19)는 각각 도 3, 4, 6, 7에 도시된 실시예를 참고로 하여 설명되었으나, 본 발명의 기술적 사상은 이에 한정되는 것은 아니며, 오히려 제 1 및 제 2 전류 소스부(10, 11) 및 제 1 및 제 2 전류 싱크부(18, 19)를 온도 및 외부 전원 전압(VCC)의 변화에도 일정하게 바이어스할 수 있는 어떠한 구조도 가능하다는 것이 강조된다.

따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 발명의 효과

본 발명에 따른 전압 제어 발진기에 의하여, 온도 및 외부 전원 전압이 변화여도 발진 주파수가 일정하게 유지된다.

#### (57) 청구의 범위

##### 청구항 1.

커패시터에 충전된 전하량을 증감시킴으로써 발진하는, 전압 제어 발진기에 있어서,

외부 전원 전압으로부터 전하를 공급받는 커패시터;

외부 전원 전압으로부터 전류를 소싱하는 전류 소스부;

상기 커패시터 양단 간의 전압차 및 상기 전류 소스부에 의해 제어되며, 턴온되었을 때 외부 전원 전압 및 접지 전압 사이에 소정의 제 1 전류 패스를 형성하는 충전부;

상기 충전부와 상보적으로 제어되며, 턴온되었을 때 외부 전원 전압 및 접지 전압 사이에 소정의 제 2 전류 패스를 형성하는 방전부;

상기 충전부 및 방전부에 의해 형성되는 상기 제 1 또는 제 2 전류 패스를 통해 공급되는 전류를 싱크하는 전류 싱크부; 및

상기 전류 소스부 및 상기 전류 싱크부를, 외부 전원 전압 및 온도에 영향받지 않도록 각각 바이어스하는 소스 바이어스부 및 싱크 바이어스부로 구성된 것을 특징으로 하는 전압 제어 발진기.

## 청구항 2.

제1항에 있어서, 상기 소스 바이어스부는,

소정의 전류를 발생하는 소스 전류 생성부;

상기 소스 전류 생성부에서 발생된 전류를 인가받아 동일한 전류를 생성하는 소스 전류 미러;

상기 소스 전류 미러에서 반복되는 전류를 부궤환하여 상기 소스 전류 생성부에 인가하는 부궤환부; 및

소정의 설정 전압 및 입력 전압의 차에 의해 상기 소스 전류 미러에 의해 반복되는 전류량을 조절하여 상기 전류 소스부를 바이어스하는 입력 전압 조절부로 구성되는 것을 특징으로 하는 전압 제어 발진기.

## 청구항 3.

제1항에 있어서, 상기 싱크 바이어스부는,

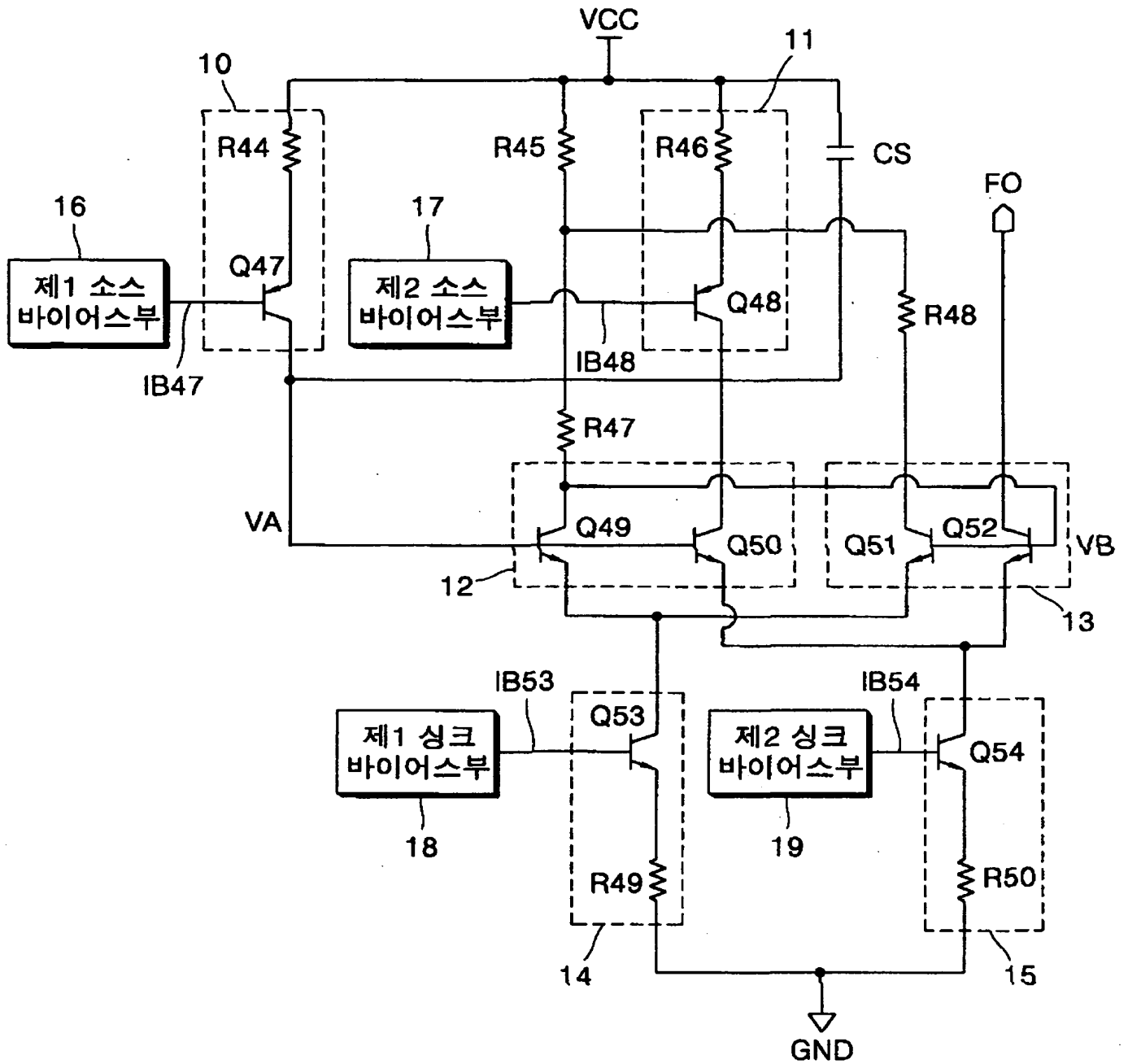
소정의 정전압을 인가받아 반복시키는 전압 반복부;

상기 전압 반복부에서 반복된 소정의 정전압을 인가받아 전류를 발생하는 싱크 전류 발생부; 및

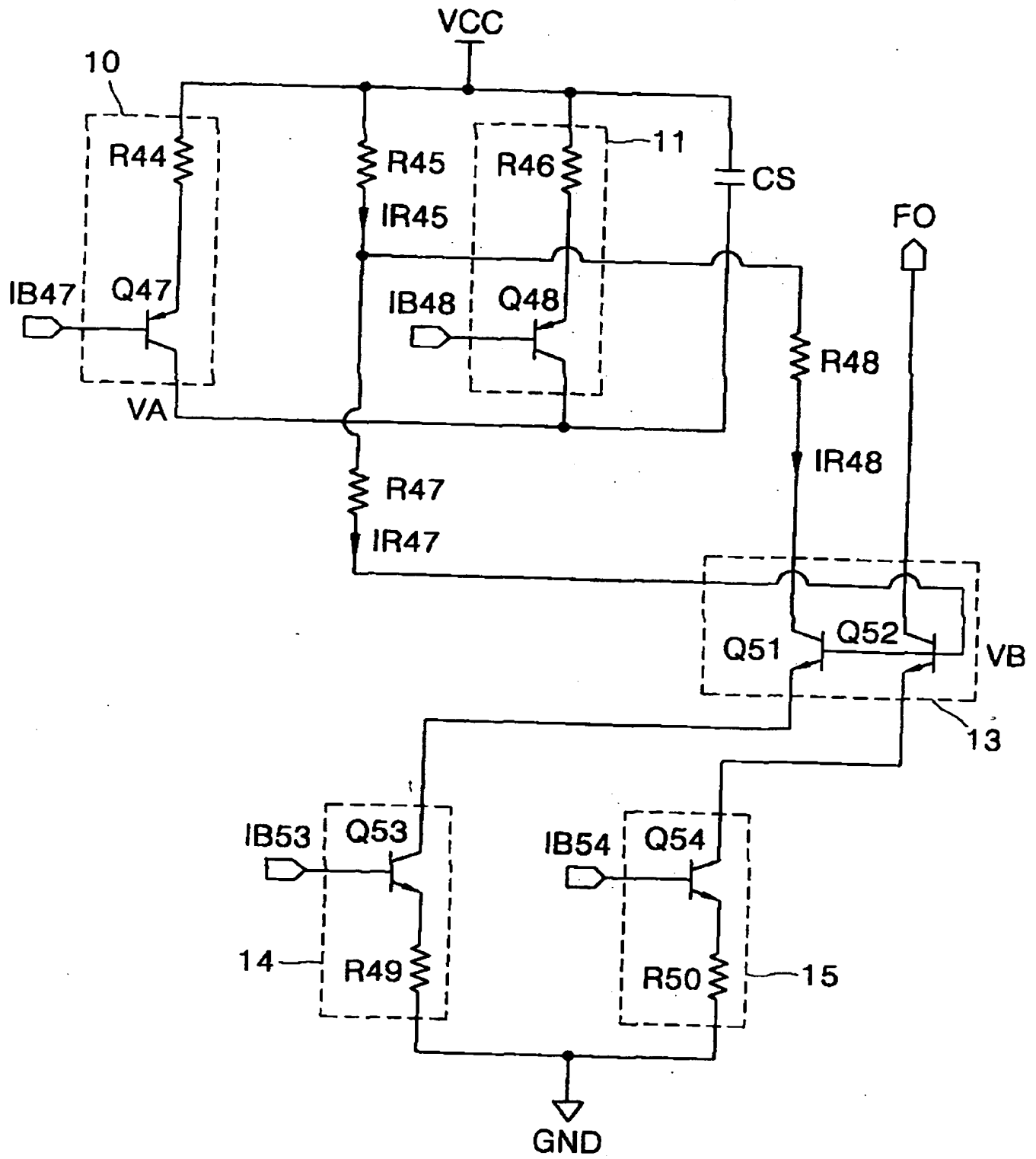
상기 싱크 전류 발생부에서 발생된 전류를 반복하여 상기 전류 싱크부를 바이어스하는 싱크 전류 미러로 구성되는 것을 특징으로 하는 전압 제어 발진기.

도면

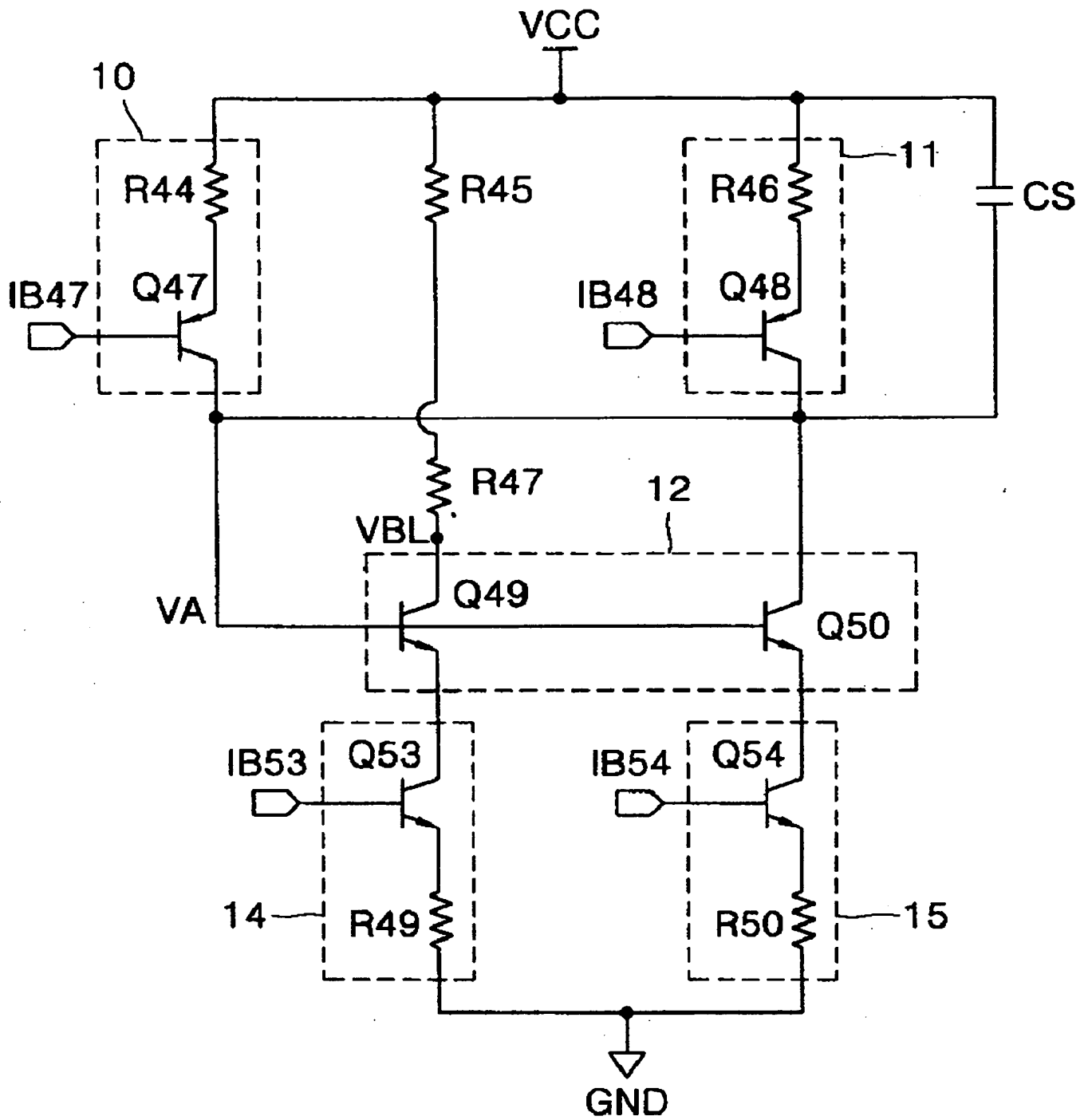
도면 1



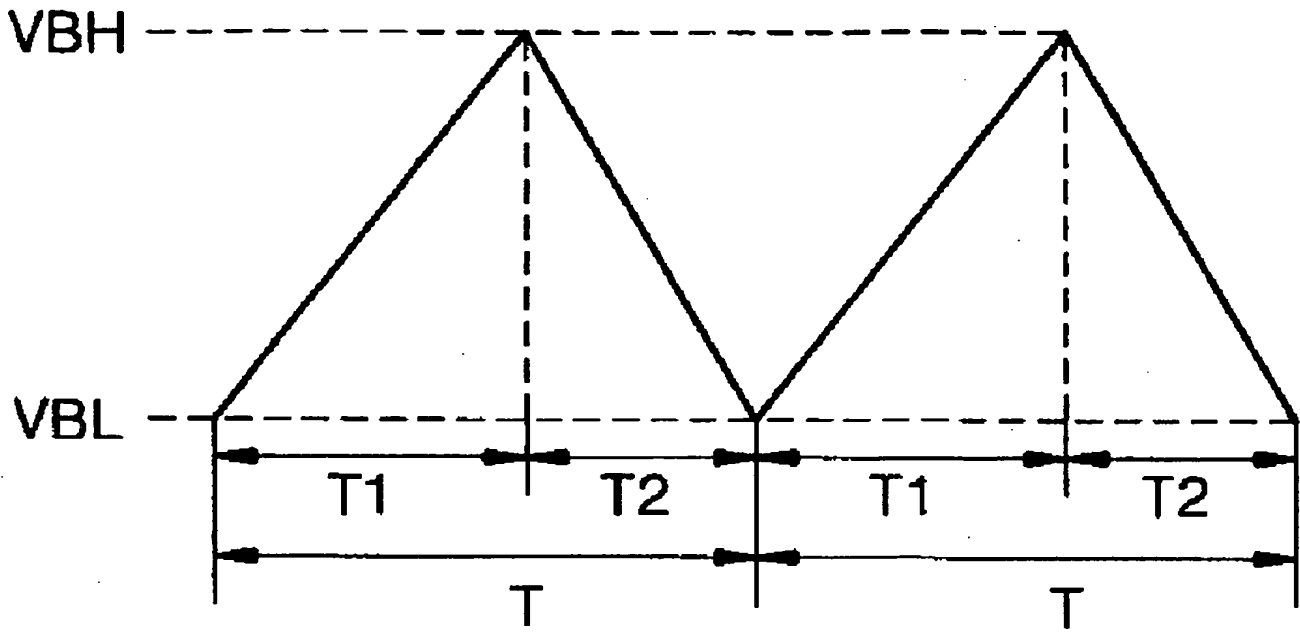
도면 2a



도면 2b

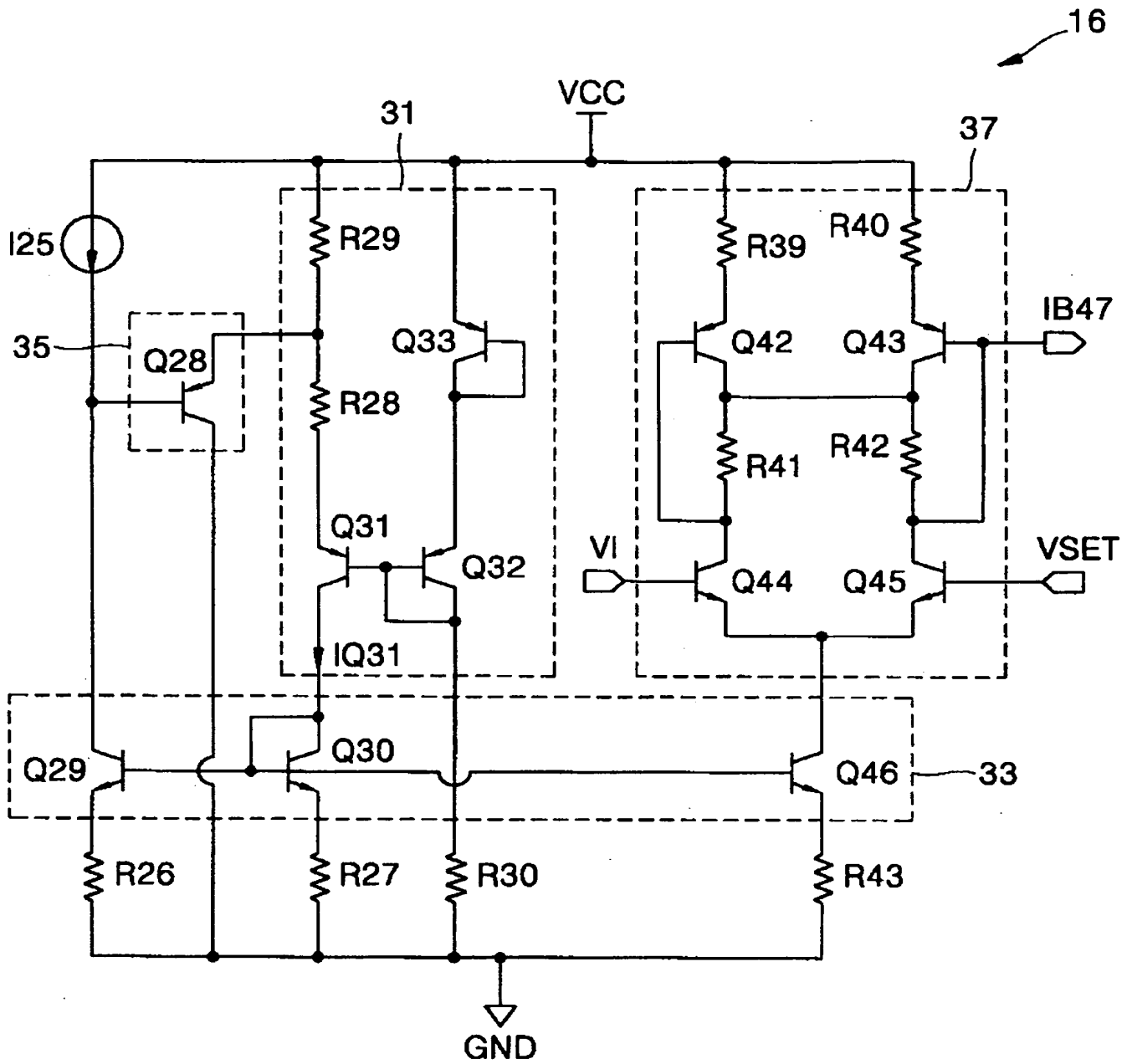


도면 2c

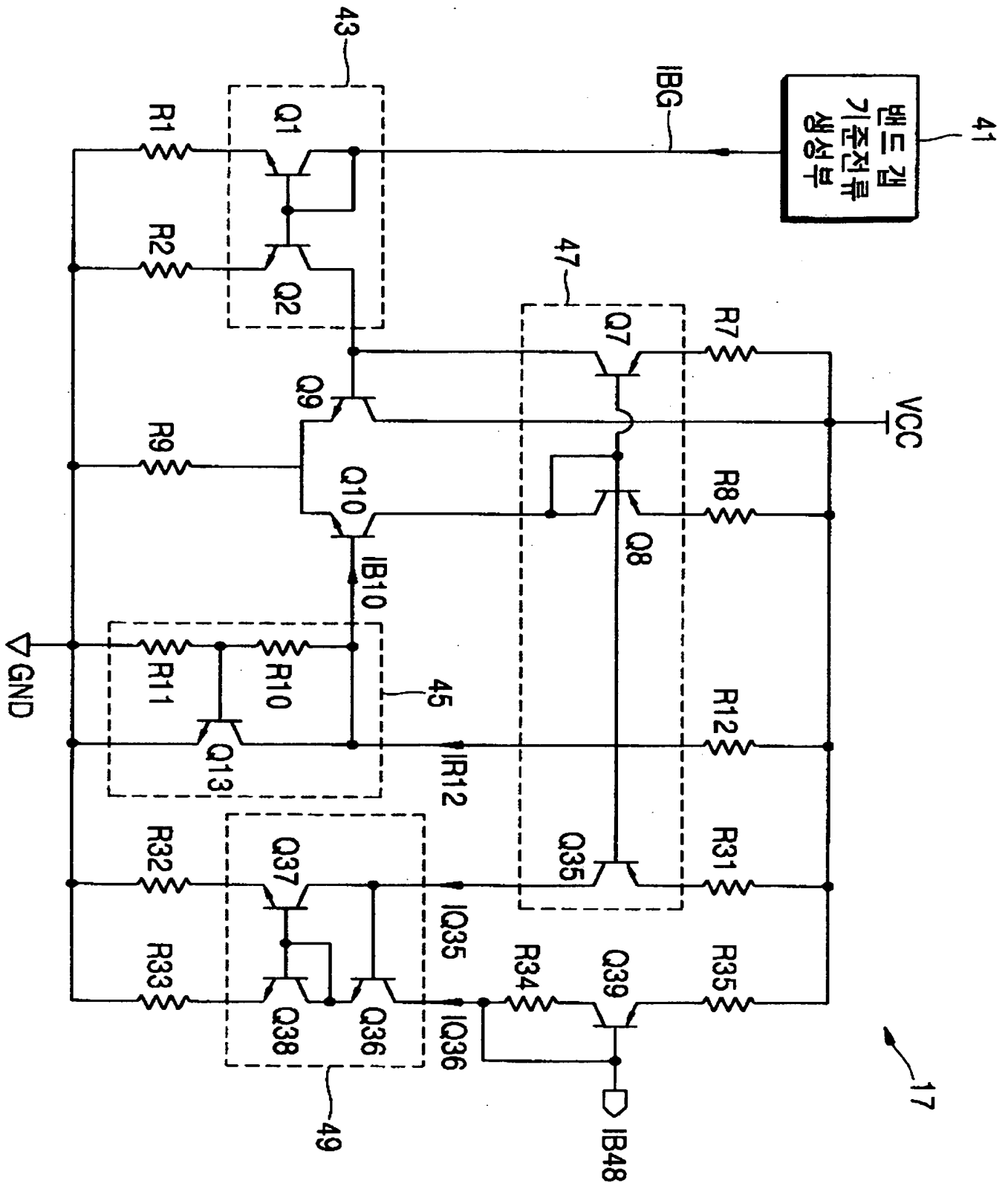




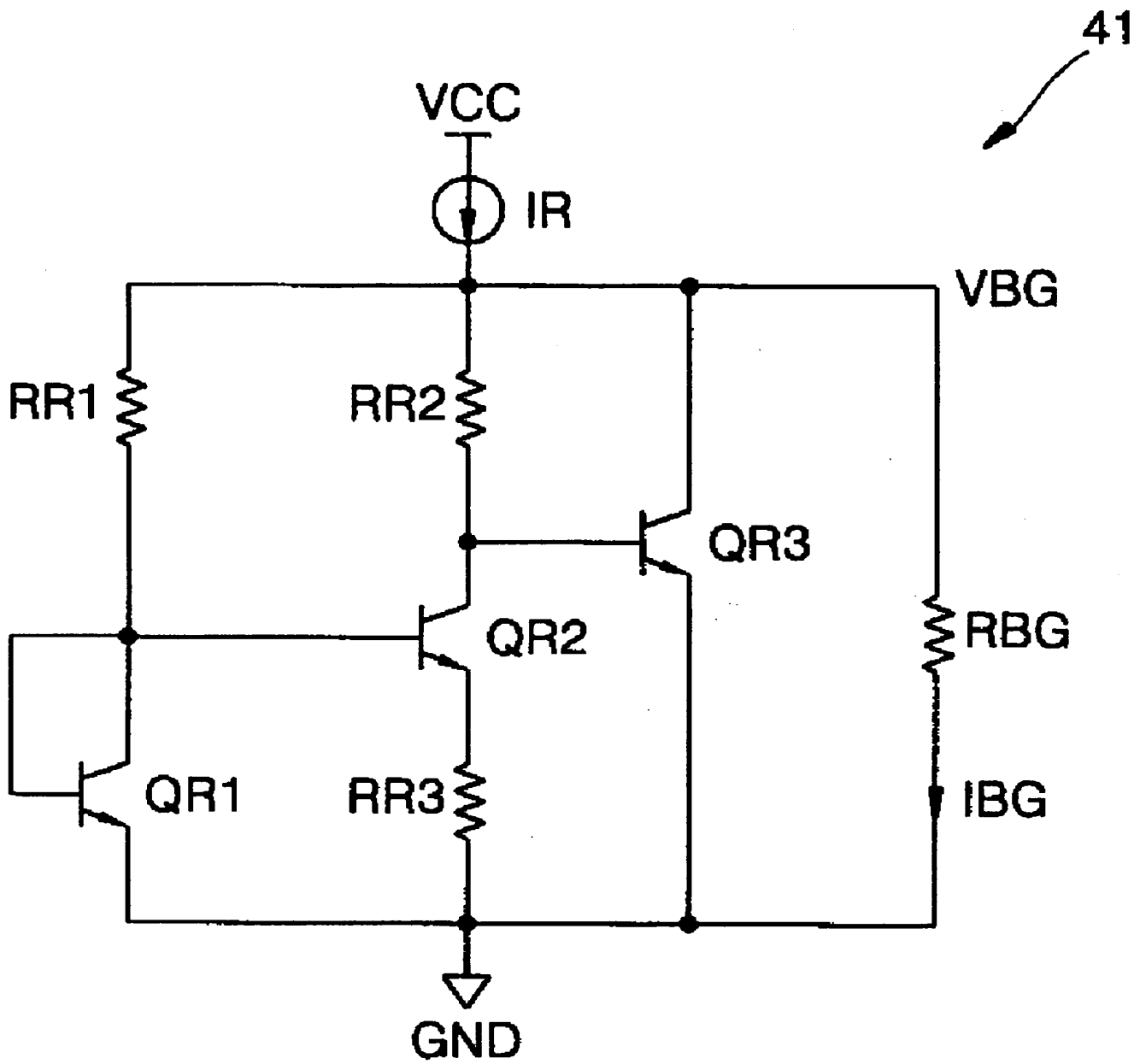
도면 3



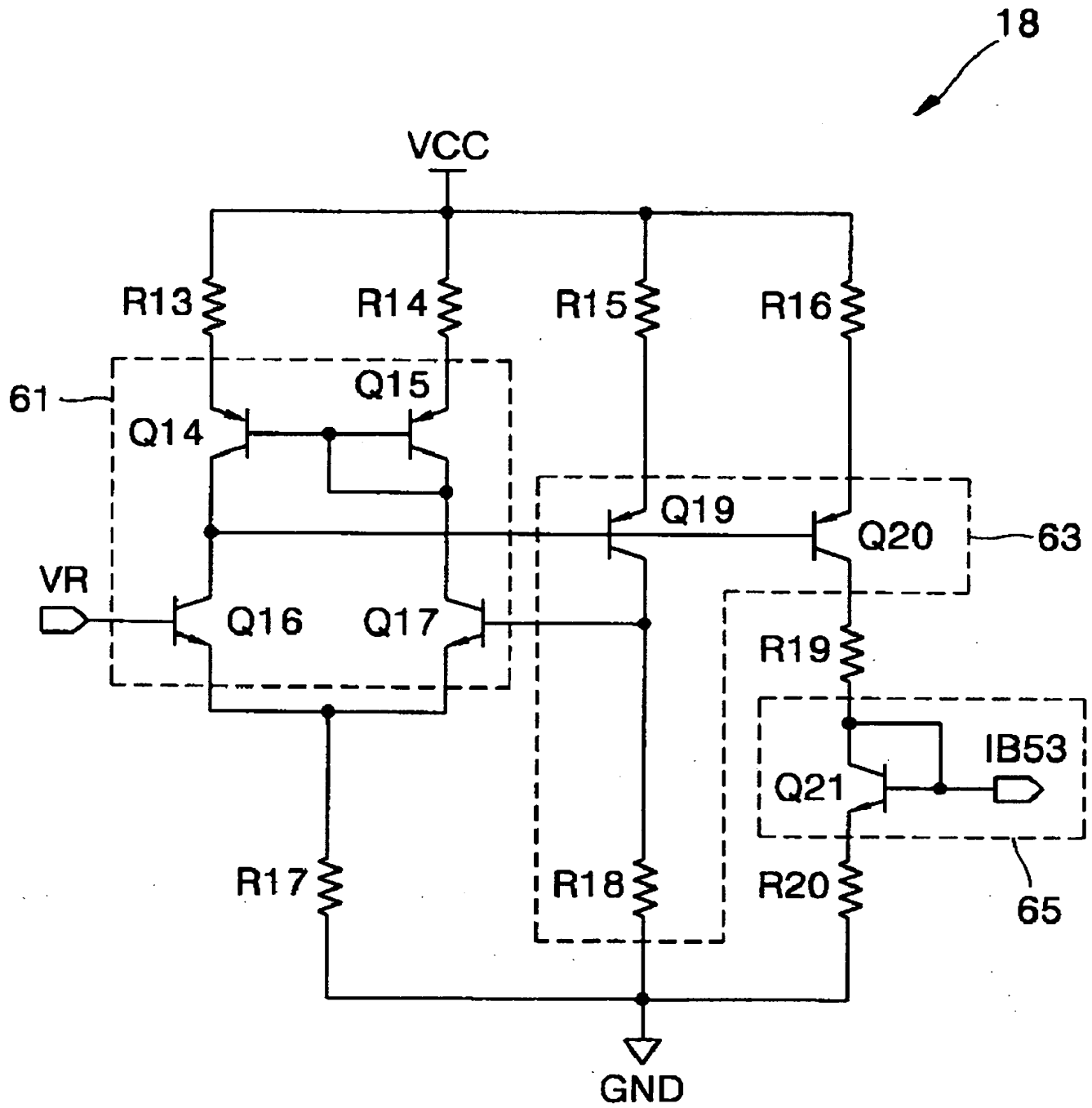
도면 4



도면 5

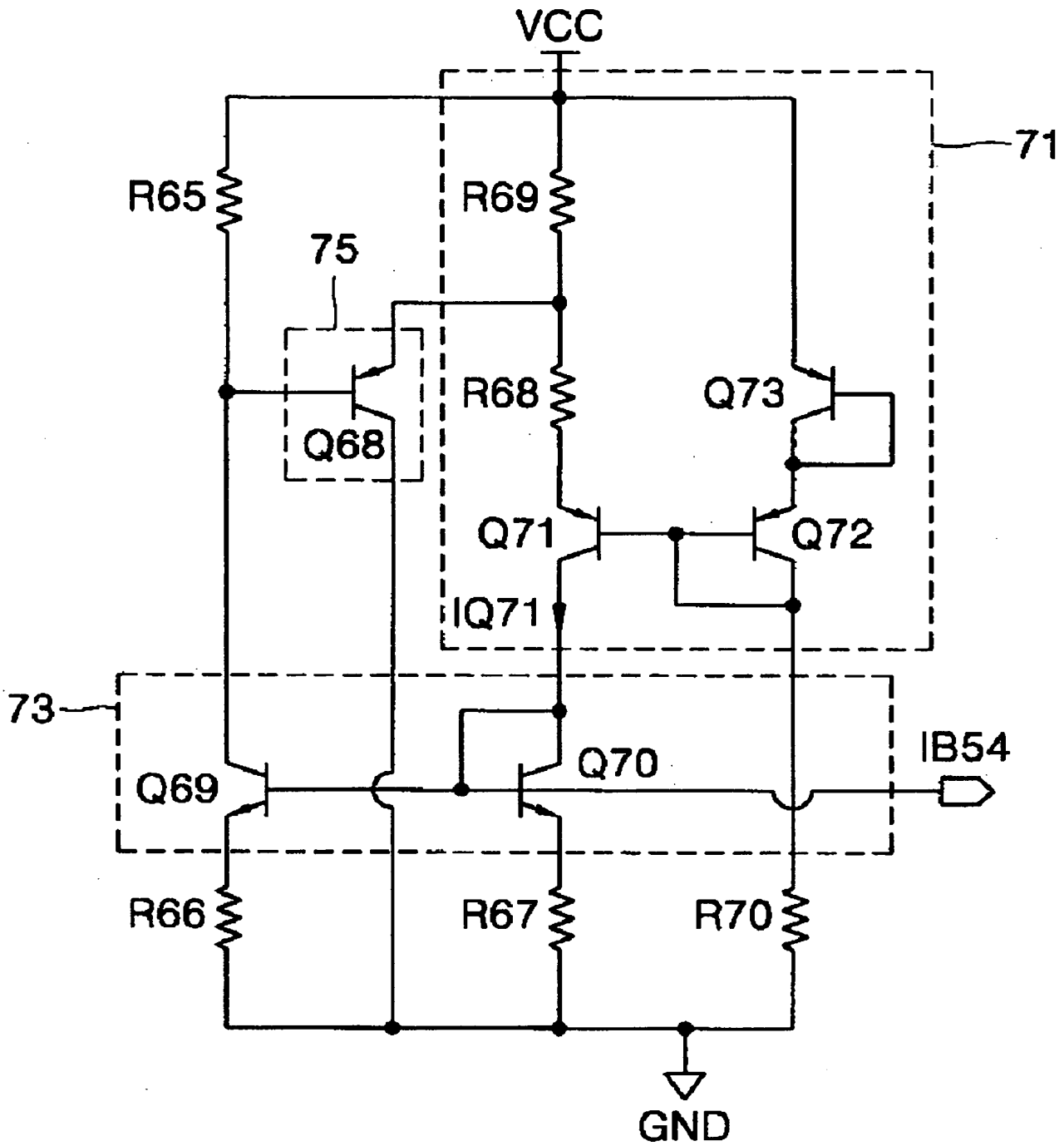


도면 6



도면 7

19



도면 8

